

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Kenji URITA**

Serial No.: **Not Yet Assigned**

Filed: **March 20, 2001**

For: **CLOCK SUPPLY CONTROL APPARATUS AND METHOD**



CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

March 20, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2000-233482, filed August 1, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
MCLELAND & NAUGHTON, LLP

William L. Brooks
Reg. No. 34,129

Atty. Docket No.: 010375
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WLB/ll

PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: August 1, 2000

Application Number: Japanese Patent Application
No. 2000-233482

Applicant(s) FUJITSU LIMITED

December 1, 2000

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2000-3101172

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 8月 1日

出 願 番 号
Application Number:

特願2000-233482

出 願 人
Applicant(s):

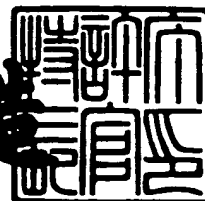
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出願番号 出願特 2000-2101172

【書類名】 特許願

【整理番号】 0051188

【提出日】 平成12年 8月 1日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G06F 9/46

【発明の名称】 電子機器及びクロック供給方法

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 瓜田 健司

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

特 2 0 0 0 - 2 3 3 4 8 2

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子機器及びクロック供給方法

【特許請求の範囲】

【請求項 1】 クロックを生成するクロック生成手段と、
前記クロック生成手段で生成されたクロックの出力を制御するクロック出力制御手段と、

前記クロック生成手段からのクロックにより動作するとともに、上位装置に割込要求を行なう第 1 のデバイスと、

前記クロック出力制御手段からのクロックにより動作する第 2 のデバイスと、
前記第 2 のデバイスの動作状態に応じて前記クロック出力制御手段を制御するデバイス制御手段とを有することを特徴とする電子機器。

【請求項 2】 クロックを生成するクロック生成手段と、
前記クロック出力制御手段からのクロックに基づいて上位装置に割込要求を行なうデバイスと、

前記デバイスの動作状態のうち該クロックとは無関係に検出可能な動作状態を検出し、前記クロック生成手段で生成されたクロックの出力を制御するクロック出力制御手段と、

前記デバイスを、前記クロックが供給されてから所定時間遅延させた後、上位装置に割込要求を行なうように制御するデバイス制御手段とを有することを特徴とする電子機器。

【請求項 3】 前記デバイスは、デバイス本体と、該デバイス本体に装着されて動作するアタッチメントとを有し、該アタッチメントが該デバイス本体に装着されたときに、上位装置に割込要求を行ない、

前記デバイス制御手段は、前記アタッチメントの装着を検出する検出手段と、
前記動作状態検出手段により検出された前記アタッチメント装着検出結果を、前記クロック出力制御手段からの前記クロックが安定して供給されるまで遅延させた後に、前記デバイスに供給する遅延手段とを有することを特徴とする請求項 2 記載の電子機器。

【請求項 4】 クロックにより上位装置に割込要求を行なうデバイスの動作

状態のうち該クロックとは無関係に検出可能な動作状態を検出し、前記クロックを制御し、

前記クロックが供給された後に前記割込要求を発行させることを特徴とするクロック供給方法。

【請求項 5】 クロックにより上位装置に割込要求を行なうデバイスの動作状態のうち該クロックとは無関係に検出可能な動作状態を検出し、

該検出結果に基づいて該デバイスに供給するクロックを制御することを特徴とするクロック供給方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は電子機器及びクロック供給方法に係り、特に、クロックにより駆動される電子機器及びクロック供給方法に関する。

【 0 0 0 2 】

近年、コンピュータなどの電子機器には、省電力が望まれている。コンピュータの省電力機能としては、クロックラン機能が知られている。クロックラン機能は、P C I (Peripheral Component Interconnect) バス上のデバイスに対して省電力を実現するための機能である。クロックラン機能は、P C I バス上のデバイスとパワーマネージメントコントローラとを一本の信号線で接続し、信号線上のクロックラン信号がデアサートされたときに、デバイスへのクロックの供給を停止させる機能である。

【 0 0 0 3 】

しかし、P C M C I A コントローラなどでは、P C カードの活性挿抜を実現するため、割り込み機能が搭載されている。P C M C I A コントローラに対してクロックラン機能によりデバイスへのクロックの供給が停止されると、割り込み機能が停止され、この状態では P C カードの活性挿抜が行なえい。このため、P C M C I A コントローラなどのデバイスが搭載される場合には、クロックラン機能はオフされるのが現状であり、クロックラン機能を動作させることができなかった。

【 0 0 0 4 】

そこで、クロックラン機能などの省電力機能を有効に活用できる装置が望まれている。

【 0 0 0 5 】

【従来の技術】

図 1 にパーソナルコンピュータのクロックラン機能を実現するための要部のブロック図を示す。

【 0 0 0 6 】

図 1 において、1 はサウスブリッジ回路、2 は P C I バス、3 は信号線、4 は発振回路、5 - 1 ~ 5 - n は P C I デバイスを示す。

【 0 0 0 7 】

サウスブリッジ回路 1 は、バスコントローラ 1 1 及びパワーマネジメントコントローラ 1 2 を含む。サウスブリッジ回路 1 は、P C I バス 2 と I S A バス、I D E ポート、U S B ポートなどの下位バスとでデータの受け渡しを制御する。

【 0 0 0 8 】

バスコントローラ 1 1 は、P C I バス 2 と下位バスとの接続を制御する。パワーマネジメントコントローラ 1 2 は、信号線 3 の信号状態がハイレベルか。ローレベルかを判定することにより、P C I デバイス 5 - 1 ~ 5 - n の動作状態を検出し、発振回路 4 を制御する。

【 0 0 0 9 】

発振回路 4 は、所定の周波数のクロックを生成し、P C I デバイス 5 - 1 ~ 5 - n に供給する。このとき、発振回路 4 は、パワーマネジメントコントローラ 1 2 により生成したクロックの P C I デバイス 5 - 1 ~ 5 - n への供給が制御される。

【 0 0 1 0 】

P C I デバイス 5 - 1 ~ 5 - n は、動作時には信号線 3 をローレベルにする。また、P C I デバイス 5 - 1 ~ 5 - n は、非動作時には信号線 3 を開放状態とする。このため、信号線 3 は、P C I デバイス 5 - 1 ~ 5 - n のすべてが非動作状態のときには、開放状態とされるため、ハイレベルとなる。また、信号線 3 は、

PCIデバイス5-1~5-nのうち一つでも動作状態のデバイスがあれば、ローレベルとされる。

【0011】

パワーマネジメントコントローラ12は、信号線3の信号レベルに応じて発振回路4からPCIデバイス5-1~5-nへのクロックの供給を制御する。パワーマネジメントコントローラ12は、信号線3の信号レベルがローレベルのときには、発振回路4で生成されたクロックがPCIデバイス5-1~5-nに供給されるように発振回路4を制御する。また、パワーマネジメントコントローラ12は、信号線3の信号レベルがハイレベルのときには、発振回路4で生成されたクロックがPCIデバイス5-1~5-nに供給されないように発振回路4を制御する。すなわち、PCIデバイス5-1~5-nのすべてが非動作状態のときに、クロックが停止され、省電力となる。また、パワーマネジメントコントローラ12は、PCIデバイス5-1~5-nのうち少なくとも一つのデバイスにより信号線3がローレベルにされると、発振回路4を制御して、クロックをPCIデバイス5-1~5-nに供給し、PCIデバイス5-1~5-nを動作状態とする。

【0012】

以上のようにしてクロックラン機能が実現される。

【0013】

上記PCIデバイスとしてPCMCIA (Personal Computer Memory Card International Association) に準拠したICカード、すなわち、PCカードをドライブするためのデバイスがある。このようなPCIデバイスでは、PCカードが挿入された際にPCカードの挿入を上位に知らせ、挿入されたPCカードを認識させる必要がある。上位にPCカードの挿入を知らせるために、PCカードをドライブするPCIデバイスでは、割込処理が行なわれる。

【0014】

次に、PCIデバイスの割込み処理について説明する。

【0015】

図2にPCIデバイスによる第1の割込処理方法を説明するための図を示す。

同図中、図 1 と同一構成部分には同一符号を付し、その説明は省略する。

【 0 0 1 6 】

第 1 の割込処理方法では、P C I デバイス 5 - 1 ~ 5 - n は、割込要求信号線 2 1 - 1 ~ 2 1 - n により夫々がバスコントローラ 1 1 に接続される。バスコントローラ 1 1 は、割込要求信号線 2 1 - i に流れる割込要求信号がハイレベルのときに、P C I デバイス 5 - i から割込要求があると判定する。ここで、P C I デバイス 5 - i は、P C I デバイス 5 - 1 ~ 5 - n のうちのいずれかを示し、割込要求信号線 2 1 - i は、割込要求信号線 2 1 - 1 ~ 2 1 - n のうちのいずれかを示す。

【 0 0 1 7 】

図 2 に示す構成では、n 本の割込要求信号線 2 1 - 1 ~ 2 1 - n が必要となるため、基板上の配線の数が増加するとともに、バスコントローラ 1 1 を含むチップの入出力端子数が増加し、装置の小型化が制限されるなどの問題点があった。

【 0 0 1 8 】

このため、割込要求信号線を複数のデバイスで共用して使用することにより、割込要求信号線を 1 本としたシリアルライズド I R Q 方式が開発されている。

【 0 0 1 9 】

図 3 に P C I デバイスによる第 2 の割込処理方法を説明するための図を示す。同図中、図 1 と同一構成部分には同一符号を付し、その説明は省略する。

【 0 0 2 0 】

第 2 の割込処理方法では、P C I デバイス 3 1 - 1 ~ 3 1 - n は、1 本の割込要求信号線 3 2 によりバスコントローラ 3 3 に接続される。P C I デバイス 3 1 - 1 ~ 3 1 - n は、夫々特定パターンが設定されており、割込要求が発生したときには、各々に設定された特定パターンの割込要求信号を所定のタイミングで割込要求信号線 3 2 に出力する。

【 0 0 2 1 】

バスコントローラ 3 3 は、割込要求信号線 3 2 上に所定期間毎に供給される割込要求信号のパターンに応じて割込要求が発生した P C I デバイスを認識する。このとき、P C I デバイス 3 1 - 1 ~ 3 1 - n では、P C I 関係の回路を駆動す

るためのクロックに基づいて特定のパターンを生成し、かつ、割込要求信号線 3 2 への送出手のタイミングを制御していた。

【 0 0 2 2 】

【発明が解決しようとする課題】

しかるに、第 2 の割込処理方法では、P C I デバイス 3 1 - 1 ~ 3 1 - n は所定期間に特定パターンの割込要求信号を出力する必要がある。このため、P C I デバイス 3 1 - 1 ~ 3 1 - n は、バスコントローラ 3 3 と同期して動作する必要がある。よって、クロックラン機能により P C I デバイス 3 1 - 1 ~ 3 1 - n へのクロックの供給を停止させると、P C I デバイス 3 1 - 1 ~ 3 1 - n は、割込要求信号を出力することはできない。このため、例えば、P C カードをドライブするようなデバイスでは、クロックラン機能とを同時に実現することはできなかった。したがって、P C カードをドライブする P C I デバイスが P C I バスに接続する場合には、クロックラン機能を実現可能な P C I デバイスが存在するにもかかわらず、クロックラン機能をオフさせる必要がある。このため、クロックラン機能、すなわち、省電力機能を有効に活用できなかった。

【 0 0 2 3 】

本発明は上記の点に鑑みてなされたもので、省電力機能を有効に活用できる電子機器及びクロック供給方法を提供することを目的とする。

【 0 0 2 4 】

【課題を解決するための手段】

本発明は、クロックにより割込要求を発生するとともに、動作する第 1 のデバイスには、制御されないクロックを供給し、クロックにより動作する第 2 のデバイスには、動作状態に応じて制御されるクロックを供給する。

【 0 0 2 5 】

本発明によれば、クロックが停止されるクロックラン機能が実行された場合でも第 1 のデバイスから割込要求を行なうことができる。

【 0 0 2 6 】

また、本発明は、デバイスを、クロックが供給されてから所定時間遅延させた後、上位装置に割込要求を行なうように制御する。

【 0 0 2 7 】

本発明によれば、クロックが供給されてから所定時間遅延させた後、上位装置に割込要求が行なわれるため、割込要求を安定して出力することができる。

【 0 0 2 8 】

さらに、本発明は、クロックに無関係に検出可能な動作状態、例えば、P C カードの装着などの状態を検出してクロックの供給を制御する。

【 0 0 2 9 】

本発明によれば、クロックラン機能によりクロックが停止した場合でも上位装置にクロックに基づいた割込要求を行なうことができる。

【 0 0 3 0 】

【発明の実施の形態】

図 4 に本発明の第 1 実施例のブロック構成図を示す。

【 0 0 3 1 】

本実施例では、本発明の電子機器の具体例としてパーソナルコンピュータなどの情報処理装置を例にとって説明する。

【 0 0 3 2 】

本実施例の情報処理装置 4 0 は、演算部 4 1、インタフェース部 4 2、ROM 4 3、ハードディスクドライブ 4 4、入力装置 4 5、ディスプレイ 4 6、スピーカ 4 7、クロック発生回路 4 8 を含む構成とされている。演算部 4 1 は、C P U 5 1、メモリ 5 2、ノースブリッジ回路 5 3 を含む構成とされており、ハードディスクドライブ 4 4 にインストールされたプログラムに基づいて演算処理を行なう。メモリ 5 2 は、R A M (Random Access Memory) を含み、データやプログラムを一時的に記憶する。メモリ 5 2 は、演算処理の作業用記憶領域として用いられる。ノースブリッジ回路 5 3 は、C P U 5 1、メモリ 5 2、インタフェース部 4 2 とのインタフェースをとる。

【 0 0 3 3 】

インタフェース部 4 2 は、クロックラン信号線 6 0、P C I バス 6 1、I S A (Industry Standard Architecture) バス 6 2、サウスブリッジ回路 6 3、U S B (Universal Serial Bus) ポート 6 4、ビデオ回路 6 5、オーディオ回路 6 6

、モデム 6 7、通信ポート 6 8、PCMCIA コントローラ 6 9、PC カードコネクタ 7 0 を含む構成とされている。PCI バス 6 1 は、ノースブリッジ回路 5 3、サウスブリッジ回路 6 3、ビデオ回路 6 5、オーディオ回路 6 6、モデム 6 7、PCMCIA コントローラ 6 9 の間での通信を行なうバスである。ISA バス 6 2 は、サウスブリッジ回路 5 3、ROM 4 3、入力装置 4 5 との間で通信を行なうためのバスである。

【0034】

サウスブリッジ回路 6 3 は、PCI バス 6 1 と ISA バス 6 2、ハードディスクドライブ 4 4、USB ポート 6 4 とのインタフェースをとる。また、サウスブリッジ回路 6 3 は、PCI バス 6 1 に接続されたデバイスに対してパワーマネージメントを行なう。

【0035】

ここで、サウスブリッジ回路 6 3 について詳細に説明する。

【0036】

図 5 に本発明の一実施例のサウスブリッジ回路の機能ブロック図を示す。

【0037】

サウスブリッジ回路 6 3 は、PCI インタフェース部 7 1、IDE インタフェース部 7 2、ISA インタフェース部 7 3、USB コントロール部 7 4、パワーマネージメントコントロール部 7 5 から構成される。

【0038】

PCI インタフェース部 7 1 は、PCI バス 6 1 と IDE インタフェース部 7 2、ISA インタフェース部 7 3、USB コントロール部 7 4 との間のインタフェースをとる。IDE インタフェース部 7 2 は、ハードディスクドライブ 4 4 と PCI インタフェース部 7 1、ISA インタフェース部 7 3、USB コントロール部 7 4 とのインタフェースをとる。ISA インタフェース部 7 3 は、ISA バス 6 2 と PCI インタフェース部 7 1、IDE インタフェース部 7 2、USB コントロール部 7 4 との間のインタフェースをとる。USB コントロール部 7 4 は、USB ポート 6 4 と PCI インタフェース部 7 1、IDE インタフェース部 7 2、ISA インタフェース部 7 3、USB コントロール部 7 4 との間のインタフ

ェースをとる。

【 0 0 3 9 】

パワーマネジメントコントロール部 7 5 は、クロックラン信号線 8 0 によりビデオ回路 6 5、オーディオ回路 6 6、モデム 6 7 と接続されており、クロックラン信号線 8 0 上のクロックラン信号に基づいて後に説明するようにクロックラン機能を実行する。

【 0 0 4 0 】

図 6 に本発明の一実施例のパワーマネジメントコントロール部の処理フローチャートを示す。

【 0 0 4 1 】

パワーマネジメントコントロール部 7 5 のクロックラン機能を実現するための処理は、ステップ S 1 - 1 ~ S 1 - 3 から構成される。

【 0 0 4 2 】

ステップ S 1 - 1 は、クロックラン信号線 8 0 がハイレベルか否かを判定するステップである。ステップ S 1 - 1 でクロックラン信号線 8 0 がハイレベルのときには、ステップ S 1 - 2 が実行され、クロックラン信号線 8 0 がローレベルのときには、ステップ S 1 - 3 が実行される。

【 0 0 4 3 】

ステップ S 1 - 2 は、クロック発生回路 4 8 に供給する P C I 用クロック制御信号をハイレベルにするステップである。クロック発生回路 4 8 は、P C I 用クロック制御信号がハイレベルになると、P C I 用クロック P C I C L K 2 の出力を停止する。すなわち、クロックラン機能が働く。

【 0 0 4 4 】

ステップ S 1 - 3 は、クロック発生回路 4 8 に供給する P C I 用クロック制御信号をローレベルにするステップである。クロック発生回路 4 8 は、P C I 用クロック制御信号がローレベルのときには、P C I 用クロック P C I C L K 2 をビデオ回路 6 5、オーディオ回路 6 6、モデム 6 7 に供給する。

【 0 0 4 5 】

なお、このとき、P C I 用クロック P C I C L K 1 は、常時サウスブリッジ回路 6 3

、及び P C M C I A コントローラ 6 9 に供給されている。

【 0 0 4 6 】

U S B ポート 6 4 は、U S B 対応の周辺機器を接続するためのポートである。ビデオ回路 6 5 は、P C I バス 6 1 を介して供給されるビデオデータを処理し、ディスプレイ 4 6 に表示させるための回路である。オーディオ回路 6 6 は、P C I バス 6 1 を介して供給されるオーディオデータを処理し、スピーカ 4 7 から出力するための回路である。モデム 6 7 は、通信ポート 6 8 に接続された回線との通信制御を行なう。P C M C I A コントローラ 6 9 は、P C カードコネクタ 7 0 に装着された P C カード 8 1 との通信制御を行なう。

【 0 0 4 7 】

ここで、P C M C I A コントローラ 6 9 の動作を説明する。

【 0 0 4 8 】

図 7 に本発明の一実施例の P C M C I A コントローラの処理フローチャートを示す。

【 0 0 4 9 】

P C M C I A コントローラ 6 9 は、下記ステップ S 2 - 1、S 2 - 2 のステップを実行する。

【 0 0 5 0 】

ステップ S 2 - 1 は、アタッチ信号がハイレベルか否かを判定するステップである。P C M C I A コントローラ 6 9 には、P C カードコネクタ 7 0 からアタッチ信号が供給される。アタッチ信号は、P C カードコネクタ 7 0 に P C カード 8 1 が装着状態のときには、ハイレベルとされ、P C カードコネクタ 7 0 に P C カードが非装着状態のときには、ローレベルとされる。

【 0 0 5 1 】

ステップ S 2 - 1 でアタッチ信号がハイレベルであると判定されたときには、ステップ S 2 - 2 が実行され、ローレベルであると判定されたときには、処理を終了する。

【 0 0 5 2 】

ステップ S 2 - 2 は、割込要求信号を生成し、割込要求信号線 8 2 に出力する

ステップである。P C M C I A コントローラ 6 9 は、クロック発生回路 4 8 から供給される P C I 用クロック P C I C L K 1 に基づいて所定パターンの割込要求信号を生成し、所定のタイミングで割込要求信号線 8 2 に出力する。

【 0 0 5 3 】

サウスブリッジ回路 6 3 は、P C M C I A コントローラ 6 9 から所定パターンの割込要求信号を受信すると、割込処理を実行する。

【 0 0 5 4 】

R O M 4 3 は、不揮発性メモリであり、B I O S (Basic Input Output System) が記憶される。B I O S は、C P U 5 1 が外部機器やメモリなどに入出力を行なう際の基本的な管理プログラムである。

【 0 0 5 5 】

ハードディスクドライブ 4 4 には、O S (Operating System)、アプリケーションプログラム、データが記憶される。入力装置 4 5 は、キーボード、マウスから構成され、データやコマンドを入力するために用いられる。

【 0 0 5 6 】

ディスプレイ 4 6 は、C R T (Cathode Ray Tube)、L C D (Liquid Crystal Device) パネルなどから構成され、データ、処理結果などを表示する。スピーカ 4 7 は、音声を出力する。

【 0 0 5 7 】

クロック発生回路 4 8 は、C P U クロック C P U C L K 及び P C I クロック P C I C L K 1、P C I C L K 2 を発生する。C P U クロック C P U C L K は、周波数が略 1 0 0 M h z であり、演算部 4 1 に供給される。P C I クロック P C I C L K 1 は、周波数が略 3 3 M h z であり、サウスブリッジ回路 6 3、P C M C I A コントローラ 6 9 に常時供給される。

【 0 0 5 8 】

P C I クロック P C I C L K 2 は、周波数が略 3 3 M h z であり、ビデオ回路 6 5、オーディオ回路 6 6、モデム 6 7 に供給される。

【 0 0 5 9 】

クロック発生回路 4 8 には、インタフェース部 4 2 からの C P U クロック制御

信号CPU STP及びPCIクロック制御信号PCI STPが供給されている。クロック発生回路48は、CPUクロック制御信号CPU STPに応じてCPUクロックCPU CLKの出力が制御し、PCIクロックPCI CLK2の出力を制御する。

【0060】

次に、クロック発生回路48について詳細に説明する。

【0061】

図8に本発明の一実施例のクロック発生回路のブロック構成図を示す。

【0062】

クロック発生回路48は、発振回路91、CPU用PLL回路92、システム用PLL回路93、分周器94、停止用ロジック95、96、バッファアンプ97、98、99、100を含む構成とされている。発振回路91は、所定の周波数の発振信号を生成する。発振回路91で生成された発振信号は、CPU用PLL回路92、システム用PLL回路93に供給される。

【0063】

CPU用PLL回路92は、発振回路91からの発振信号の周波数をCPU用の周波数に変換する。CPU用PLL回路92の出力発振信号は、例えば、100MHzである。システム用PLL回路93は、発振回路91からの発振信号の周波数をCPU用の周波数に変換する。システム用PLL回路92の出力発振信号は、例えば、48MHzである。

【0064】

CPU用PLL回路92で周波数変換された発振信号は、分周器94及び停止用ロジック95に供給される。分周器94は、CPU用PLL回路92からの発振信号をPCI用クロック周波数に分周する。停止用ロジック95は、サウスブリッジ回路63のパワーマネジメントコントロール部75から供給されるCPU用クロック制御信号CPU STPに基づいてCPU用PLL回路92からの発振信号の出力を制御する。停止用ロジック95は、CPU用クロック制御信号CPU STPがハイレベルのときCPU用PLL回路92からの発振信号の出力を停止し、CPU用クロック制御信号CPU STPがローレベルのときCPU用PLL回路92からの発振信号を出力する。

【 0 0 6 5 】

停止用ロジック 9 5 の出力は、バッファアンプ 9 7 に供給される。バッファアンプ 9 7 は、停止用ロジック 9 5 からの発振信号を増幅して出力する。バッファアンプ 9 7 の出力信号は、演算部 4 1 に供給される。

【 0 0 6 6 】

分周器 9 4 の出力発振信号は、バッファアンプ 9 8 及び停止用ロジック 9 6 に供給される。バッファアンプ 9 8 は、分周器 9 4 からの発振信号を増幅して出力する。バッファアンプ 9 8 の出力信号は、サウスブリッジ回路 6 3 及び P C M C I A コントローラ 6 9 に供給される。

【 0 0 6 7 】

停止用ロジック 9 6 は、サウスブリッジ回路 6 3 のパワーマネージメントコントロール部 7 5 から供給される P C I 用クロック制御信号 P C I S T P に基づいて分周器 9 4 からの発振信号の出力を制御する。停止用ロジック 9 6 は、P C I 用クロック制御信号 P C I S T P がハイレベルのとき分周器 9 4 からの発振信号の出力を停止し、P C I 用クロック制御信号 P C I S T P がローレベルのとき分周器 9 4 からの発振信号を出力する。停止ロジック 9 6 の出力発振信号は、バッファアンプ 9 9 に供給される。バッファアンプ 9 9 は、停止ロジック 9 6 からの発振信号を増幅して、ビデオ回路 6 5、オーディオ回路 6 6、モデム 6 7 に供給する。

【 0 0 6 8 】

また、システム用 P L L 回路 9 3 の出力発振信号は、バッファアンプ 1 0 0 に供給される。バッファアンプ 1 0 0 は、システム用 P L L 回路 9 3 からの発振信号を増幅して、サウスブリッジ回路 6 3 の U S B コントロール部 7 4 に供給する。

【 0 0 6 9 】

このように、クロック発生回路 4 8 では、P C I 用クロック P C I C L K 1 はクロック制御信号に無関係に常時出力され、C P U 用クロック C P U C L K は、C P U 用クロック制御信号に応じて停止又は出力され、P C I 用クロック P C I C L K 2 は、P C I 用クロック制御信号に応じて停止又は出力される。

【 0 0 7 0 】

本実施例では、PCMCIAコントローラ69には、クロック発生回路48からPCI用クロックPCI CLK1が供給されているので、クロックラン機能が働いた状態でPCカードコネクタ70にPCカード81が装着されたときでもPCI用クロックPCI CLK1に基づいて割込要求信号パターンを生成して、割込要求信号線82に出力できる。このように、クロックラン機能とシリアルライズドIRQ機能を実現できる。

【0071】

なお、本実施例では、クロック発生回路48からPCMCIAコントローラ69に供給するクロックをクロックラン機能に関与しないクロックとすることによりクロックラン機能とシリアルライズドIRQ機能との両方を実現したが、PCIAコントローラ69に外部回路を付加することにより実現することもできる。

【0072】

図9に本発明の第2実施例のブロック構成図、図10に本発明の第2実施例の要部のブロック構成図を示す。同図中、図4と同一構成部分には同一符号を付し、その説明は省略する。

【0073】

本実施例は、図4に示す情報処理装置40に制御回路100を付加してなる。制御回路100には、PCカードコネクタ70からアタッチ信号が供給され、クロック発生回路48からPCI用クロックPCI CLK2が供給され、また、クロックラン信号線80が接続される。制御回路100は、PCカードコネクタ70からのアタッチ信号に応じてPCMCIAコントローラ69及びクロックラン信号線80を制御することにより、クロックラン機能及びシリアルライズドIRQ機能を実行し、両機能を実現するものである。

【0074】

図11に本発明の第2実施例の制御回路のブロック構成図を示す。

【0075】

制御回路100は、エッジ検出器101、パルスカウンタ102、トランジスタTr1、アンドゲート103、抵抗器R1を含む構成とされている。

【0076】

エッジ検出器 1 0 1 は、P C カードコネクタ 7 0 からアタッチ信号が供給され、アタッチ信号のエッジを検出し、出力をハイレベルにする。エッジ検出器 1 0 1 は、クロックラン信号線 8 0 上のクロックラン信号によりクリアされる。

【 0 0 7 7 】

エッジ検出器 1 0 1 の出力信号は、トランジスタ T r 1 のゲート及びパルスカウンタ 1 0 2 並びにアンドゲート 1 0 3 に供給される。トランジスタ T r 1 は、例えば、電界効果トランジスタであり、ドレインがクロックラン信号線 8 0 に接続され、ソースがグランドに接続される。トランジスタ T r 1 は、エッジ検出器 1 0 1 からの信号がハイレベルのときにオンし、ローレベルのときにオフする。

【 0 0 7 8 】

パルスカウンタ 1 0 2 には、クロック発生回路 4 8 から P C I 用クロック P C I CLK2 が供給される。パルスカウンタ 1 0 2 は、クロック発生回路 4 8 から P C I 用クロック P C I CLK2 をカウントし、桁あふれ信号をアンドゲート 1 0 3 に供給する。なお、パルスカウンタ 1 0 2 は、エッジ検出器 1 0 1 の出力信号によりクリアされる。

【 0 0 7 9 】

アンドゲート 1 0 3 は、パルスカウンタ 1 0 2 からの桁あふれ信号とエッジ検出器 1 0 1 の出力信号とのアンド論理を出力する。アンドゲート 1 0 3 の出力は、P C M C I A コントローラ 6 9 にアタッチ信号として供給される。

【 0 0 8 0 】

次に制御回路 1 0 0 の動作を説明する。

【 0 0 8 1 】

P C カードコネクタ 7 0 に P C カード 8 1 が装着されると、エッジ検出回路 1 0 1 に供給されるアタッチ信号がハイレベルになる。エッジ検出回路 1 0 1 は、アタッチ信号のエッジを検出して、出力信号をハイレベルにする。

【 0 0 8 2 】

エッジ検出回路 1 0 1 がハイレベルになると、トランジスタ T r 1 がオンし、クロックラン信号線 8 0 がグランドに接続され、クロックラン信号がローレベルとする。パワーマネジメントコントロール部 7 5 は、クロックラン信号がロー

レベルになることにより、クロックラン機能を停止し、P C I 用クロック制御信号をハイレベルにする。

【 0 0 8 3 】

クロック発生回路 4 8 は、P C I 用クロック制御信号がハイレベルとなることにより、P C I 用クロック P C I C L K 2 を出力する。クロック発生回路 4 8 からの P C I 用クロック P C I C L K 2 は、パルスカウンタ 1 0 2 に供給される。

【 0 0 8 4 】

パルスカウンタ 1 0 2 は、P C I 用クロック P C I C L K 2 をカウントする。パルスカウンタ 1 0 2 は、P C I 用クロック P C I C L K 2 をカウントし、カウント値が所定カウント値になると、桁あふれ信号をハイレベルにする。カウンタ 1 0 2 から桁あふれ信号がハイレベルになると、アンドゲート 1 0 3 の出力がハイレベルにある。アンドゲート 1 0 3 の出力信号は、アタッチ信号として P C M C I A コントローラ 6 9 に供給される。P C M C I A コントローラ 6 9 は、アンドゲート 1 0 3 からのアタッチ信号に応じて割込要求信号を生成し、サウスブリッジ回路 6 3 に供給する。

【 0 0 8 5 】

このとき、P C M C I A コントローラ 6 9 には、クロック発生回路 4 8 から P C I 用クロック P C I C L K 2 が供給された後にアタッチ信号が供給されるので、割込要求信号の所定パターンを P C I 用クロック P C I C L K 2 に基づいて生成でき、P C I 用クロック P C I C L K 2 に基づいたタイミングで出力することができる。

【 0 0 8 6 】

本実施例によれば、P C M C I A コントローラ 6 9 に対してもクロックラン機能を実現できる。

【 0 0 8 7 】

なお、本実施例の制御回路 1 0 0 では、パルスカウンタ 1 0 2 及びアンドゲート 1 0 3 により P C M C I A コントローラ 6 9 に供給するアタッチ信号を遅延させるようにしたが、遅延素子を用いてアタッチ信号を遅延させるようにしてもよい。

【 0 0 8 8 】

図 1 2 に本発明の第 2 実施例の制御回路の変形例のブロック構成図を示す。同図中、図 1 1 と同一構成部分には同一符号を付し、その説明は省略する。

【 0 0 8 9 】

本実施例の制御回路 2 0 0 は、図 1 1 に示すパルスカウンタ 1 0 2 及びアンドゲート 1 0 3 を遅延素子 2 0 1 で構成してなる。

【 0 0 9 0 】

遅延素子 2 0 1 は、例えば、電圧検出回路から構成され、エッジ検出器 1 0 1 の出力電圧を内部で生成される基準電圧と比較し、出力電圧が基準電圧より小さいときには出力をローレベルとし、出力電圧が基準電圧より大きいときに出力をハイレベルにする。なお、遅延時間は、外付けのコンデンサ C により調整可能とされている。

【 0 0 9 1 】

本実施例によれば、図 1 1 と同様な作用効果を奏する。

【 0 0 9 2 】

なお、制御回路 1 0 0、2 0 0 は、外付けであっても P C M C I A コントローラ又はサウスブリッジ回路 6 3 に内蔵するようにしてもよい。

【 0 0 9 3 】

また、第 2 実施例では、制御回路 1 0 0、2 0 0 によりハード的に処理したが、ソフト的に処理するようにしてもよい。例えば、P C M C I A コントローラ 6 9 で処理することができる。

【 0 0 9 4 】

図 1 3 に本発明の第 3 実施例の P C M C I A コントローラの処理フローチャートを示す。なお、システム構成は、図 4 と同様であるので、その説明は省略する。また、本実施例では、P C M C I A コントローラ 6 9 には、クロック発生回路 4 8 で発生される P C I 用クロック P C I C L K 2 が供給される。

【 0 0 9 5 】

P C M C I A コントローラ 6 9 は、ステップ S 3 - 1 ~ S 3 - 7 の 7 つのステップを実行する。

【 0 0 9 6 】

ステップ S 3 - 1 は、アタッチ信号が反転したか否かを判定するステップである。ステップ S 3 - 1 ではアタッチ信号の反転を判定することにより、P C カード 8 1 の挿抜を判定する。ステップ S 3 - 1 で、アタッチ信号が反転したと判定された場合には、ステップ S 3 - 2 が実行される。

【 0 0 9 7 】

ステップ S 3 - 2 は、クロックラン信号線 8 0 をローレベルにするステップである。ステップ S 3 - 2 でクロックラン信号線 8 0 がローレベルとされると、サウスブリッジ回路 6 3 のパワーマネージメントコントロール部 7 5 は、図 6 に示すように P C I 用クロック制御信号をハイレベルにする。P C I 用クロック制御信号がハイレベルになると、クロック発生回路 4 8 は、P C I 用クロック P C I C L K 2 を出力する。

【 0 0 9 8 】

ステップ S 3 - 3 は、クロック発生回路 4 8 から P C I 用クロック P C I C L K 2 が供給されたか否かを判定するステップである。ステップ S 3 - 3 でクロック発生回路 4 8 から P C I 用クロック P C I C L K 2 が供給されたと判定された場合には、次にステップ S 3 - 4 が実行される。

【 0 0 9 9 】

ステップ S 3 - 4 は、割込要求信号線 8 2 に割込要求信号を送出するステップである。割込要求信号は、クロック発生回路 4 8 から送出された P C I 用クロック P C I C L K 2 に基づいて特定パターンで生成され、特定のタイミングでサウスブリッジ回路 6 3 の P C I インタフェース部 7 1 に送出される。

【 0 1 0 0 】

以上により、P C カード 8 1 が P C カードコネクタ 7 0 に挿抜されたときに、クロックラン機能が解除され、P C M C I A コントローラ 6 9 にクロック発生回路 4 8 から P C I 用クロック P C I C L K 2 が供給され、P C M C I A コントローラ 6 9 により割込要求信号が生成される。

【 0 1 0 1 】

また、ステップ S 3 - 1 で、アタッチ信号が反転していないと判定されたとき、すなわち、P C カード 8 1 が挿抜されていないと判定されたときには、ステッ

ブ S 3 - 5 が実行される。ステップ S 3 - 5 は、アタッチ信号がハイレベルか、ローレベルかを判定するステップである。すなわち、ステップ S 3 - 5 でアタッチ信号がハイレベルか、ローレベルかを判定することにより P C カード 8 1 が P C カードコネクタ 6 9 に挿入された状態か否かを判定できる。

【 0 1 0 2 】

ステップ S 3 - 5 で、アタッチ信号がハイレベルのとき、すなわち、P C カード 8 1 が P C カードコネクタ 7 0 に挿入された状態のときには、ステップ S 3 - 6 が実行される。

【 0 1 0 3 】

ステップ S 3 - 6 は、P C カード 8 1 がビジー状態か否かを判定するステップである。ステップ S 3 - 6 で P C カード 8 1 がビジー状態であると判定された場合には、ステップ S 3 - 2 ~ S 3 - 4 を実行し、割込要求を可能とする。また、ステップ S 3 - 6 で P C カード 8 1 がビジー状態ではないと判定された場合には、そのまま処理を終了する。

【 0 1 0 4 】

以上により P C M C I A コントローラ 6 9 の動作状態に応じてクロックラン機能を制御できる。

【 0 1 0 5 】

また、ステップ S 3 - 5 でアタッチ信号がローレベル、すなわち、P C カード 8 1 が P C カードコネクタ 7 0 に接続されていないときには、ステップ S 3 - 7 を実行する。ステップ S 3 - 7 は、クロックラン信号をハイレベルにするステップである。ステップ S 3 - 7 でクロックラン信号をハイレベルにすることにより、クロックラン機能が実行可能となる。

【 0 1 0 6 】

本発明は上記実施例に限定されるものではなく、特許請求の範囲の記載を逸脱することなく、種々の変形例が可能である。

【 0 1 0 7 】

(付記 1) クロックを生成するクロック生成手段と、
前記クロック出力制御手段からのクロックに基づいて上位装置に割込要求を行

なうデバイスと、

前記デバイスの動作状態のうち該クロックとは無関係に検出可能な動作状態を検出し、前記クロック生成手段で生成されたクロックの出力を制御するクロック出力制御手段と、

前記デバイスを、前記クロックが供給されてから所定時間遅延させた後、上位装置に割込要求を行なうように制御するデバイス制御手段とを有することを特徴とする電子機器。

【0108】

(付記2) クロックを生成するクロック生成手段と、

前記クロック生成手段で生成されたクロックの出力を制御するクロック出力制御手段と、

動作状態が切替ったときに、前記クロック出力制御手段からのクロックに基づいて上位装置に割込要求を行なうデバイスと、

前記デバイスを、前記クロックが供給されてから所定時間遅延させた後、上位装置に割込要求を行なうように制御するデバイス制御手段とを有することを特徴とする電子機器。

【0109】

(付記3) 前記デバイスは、デバイス本体と、該デバイス本体に装着されて動作するアタッチメントとを有し、該アタッチメントが該デバイス本体に装着されたときに、上位装置に割込要求を行ない、

前記デバイス制御手段は、前記アタッチメントの装着を検出する検出手段と、

前記動作状態検出手段により検出された前記アタッチメント装着検出結果を、前記クロック出力制御手段からの前記クロックが安定して供給されるまで遅延させた後に、前記デバイスに供給する遅延手段とを有することを特徴とする付記2記載の電子機器。

【0110】

(付記4) 前記遅延手段は、前記クロック出力制御手段からの前記クロックをカウントするカウンタと、

前記カウンタの桁あふれ信号に応じて前記動作状態検出手段からの動作状態検

出結果の前記第 1 のデバイスへの通知を制御するゲート回路とを有することを特徴とする付記 3 記載の電子機器。

【 0 1 1 1 】

(付記 5) 前記遅延手段は、前記動作状態検出手段からの動作状態検出結果を遅延させ、前記第 1 のデバイスに供給する遅延素子を有することを特徴とする付記 3 記載の電子機器。

【 0 1 1 2 】

(付記 6) クロックを生成するクロック生成手段と、
前記クロック生成手段で生成されたクロックの出力を制御するクロック出力制御手段と、

前記クロック出力制御手段からのクロックにより上位装置に割込要求を行なうとともに、内部の動作状態に応じて第 1 のクロック制御信号を出力する第 1 のデバイスと、

前記クロック出力制御手段からのクロックにより動作するとともに、内部の動作状態に応じて第 2 のクロック制御信号を出力する第 2 のデバイスと、

前記第 1 及び前記第 2 のクロック制御信号に応じて前記クロック出力制御手段を制御するデバイス制御手段とを有することを特徴とする電子機器。

【 0 1 1 3 】

(付記 7) クロックにより割込要求を発生するとともに、動作する第 1 のデバイスには、制御されないクロックを供給し、

クロックにより動作する第 2 のデバイスには、動作状態に応じて制御されるクロックを供給するようにしたことを特徴とするクロック供給方法。

【 0 1 1 4 】

(付記 8) クロックにより上位装置に割込要求を行なうデバイスの動作状態のうち該クロックとは無関係に検出可能な動作状態を検出し、前記クロックを制御し、

前記クロックが供給された後に前記割込要求を発行させることを特徴とするクロック供給方法。

【 0 1 1 5 】

(付記 9) クロックにより上位装置に割込要求を行なうデバイスの動作状態のうち該クロックとは無関係に検出可能な動作状態を検出し、

該複数の検出結果に基づいて該デバイスに供給するクロックを制御することを特徴とするクロック供給方法。

【 0 1 1 6 】

【発明の効果】

上述の如く、本発明によれば、クロックにより割込要求を発生するとともに、動作する第 1 のデバイスには、制御されないクロックを供給し、クロックにより動作する第 2 のデバイスには、動作状態に応じて制御されるクロックを供給することにより、クロックが停止されるクロックラン機能が実行された場合でも第 1 のデバイスから割込要求を行なうことができるなどの特長を有する。

【 0 1 1 7 】

また、本発明によれば、デバイスを、クロックが供給されてから所定時間遅延させた後、上位装置に割込要求を行なうように制御することにより、クロックが供給されてから所定時間遅延させた後、上位装置に割込要求が行なわれるため、割込要求を安定して出力することができるなどの特長を有する。

【 0 1 1 8 】

さらに、本発明によれば、クロックに無関係に検出可能な動作状態、例えば、P C カードの装着などの状態を検出してクロックの供給を制御することにより、クロックラン機能によりクロックが停止した場合でも上位装置にクロックに基づいた割込要求を行なうことができるなどの特長を有する。

【図面の簡単な説明】

【図 1】

パーソナルコンピュータのクロックラン機能を実現するための要部のブロック図である。

【図 2】

P C I デバイスによる第 1 の割込処理方法を説明するための図である。

【図 3】

P C I デバイスによる第 2 の割込処理方法を説明するための図である。

【図 4】

本発明の第 1 実施例のブロック構成図である。

【図 5】

本発明の一実施例のサウスブリッジ回路の機能ブロック図である。

【図 6】

本発明の一実施例のパワーマネージメントコントロール部の処理フローチャートである。

【図 7】

本発明の一実施例の P C M C I A コントローラの処理フローチャートである。

【図 8】

本発明の一実施例のクロック発生回路のブロック構成図である。

【図 9】

本発明の第 2 実施例のブロック構成図である。

【図 1 0】

本発明の第 2 実施例の要部のブロック構成図である。

【図 1 1】

本発明の第 2 実施例の制御回路のブロック構成図である。

【図 1 2】

本発明の第 2 実施例の制御回路の変形例のブロック構成図である。

【図 1 3】

本発明の第 3 実施例の P C M C I A コントローラの処理フローチャートである。

【符号の説明】

- 4 0 情報処理装置
- 4 1 演算部
- 4 2 インタフェース部
- 4 3 R O M
- 4 4 H D D
- 4 5 入力装置

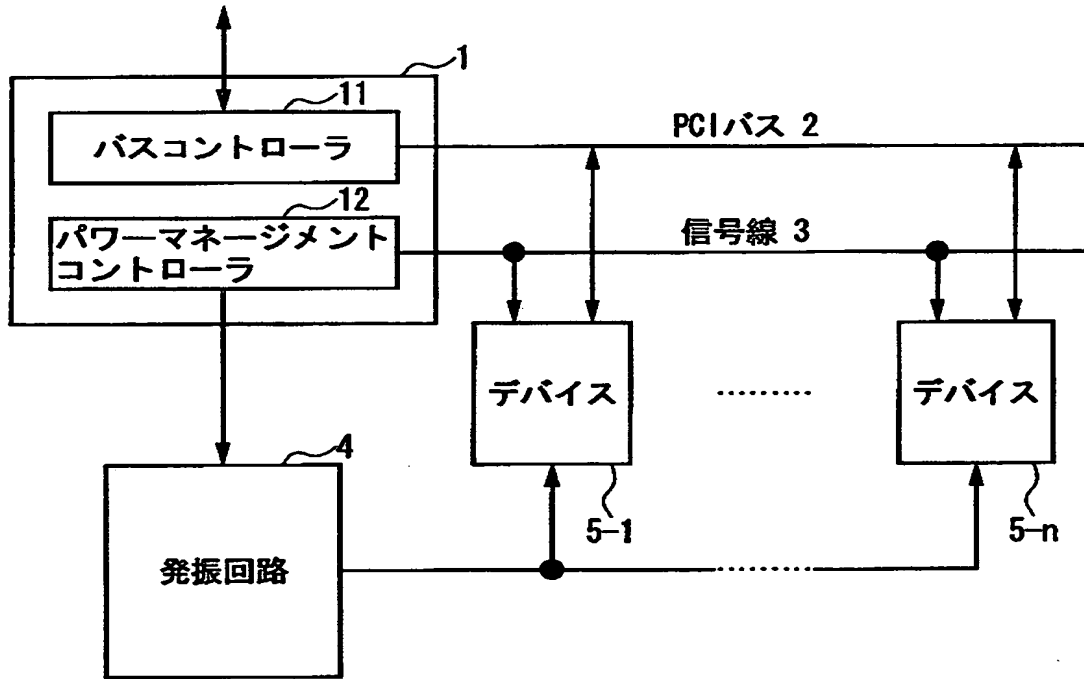
- 4 6 ディスプレイ
- 4 7 スピーカ
- 5 1 C P U
- 5 2 メモリ
- 5 3 ノースブリッジ
- 6 1 P C I バス
- 6 2 I S A バス
- 6 3 サウスブリッジ回路
- 6 4 U S B ポート
- 6 5 ビデオ回路
- 6 6 オーディオ回路
- 6 7 モデム
- 6 9 P C M C I A コントローラ
- 7 0 P C カードコネクタ
- 8 0 クロックラン信号線
- 8 1 P C カード
- 8 2 割込要求信号線

【書類名】

図面

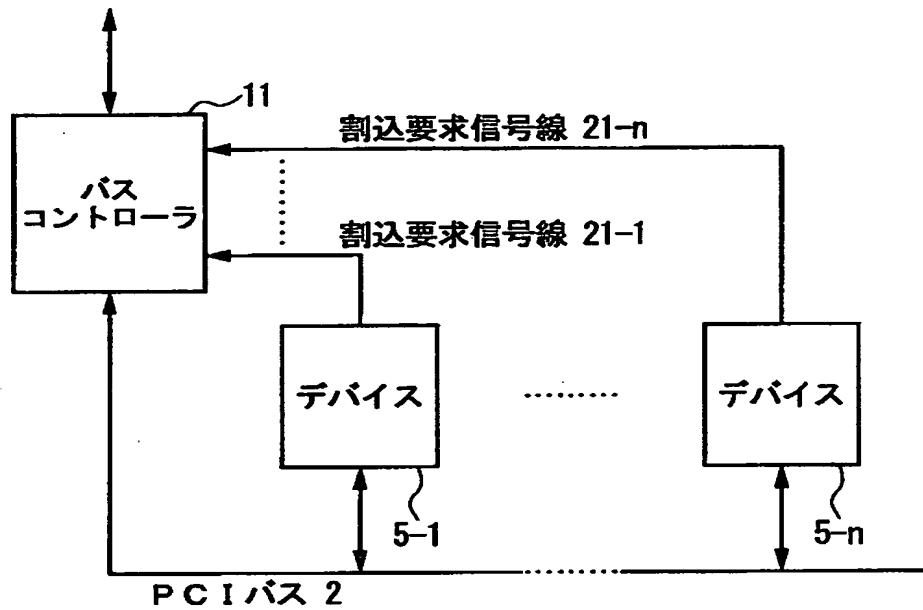
【図 1】

パーソナルコンピュータのクロックラン機能を実現するための要部のブロック図



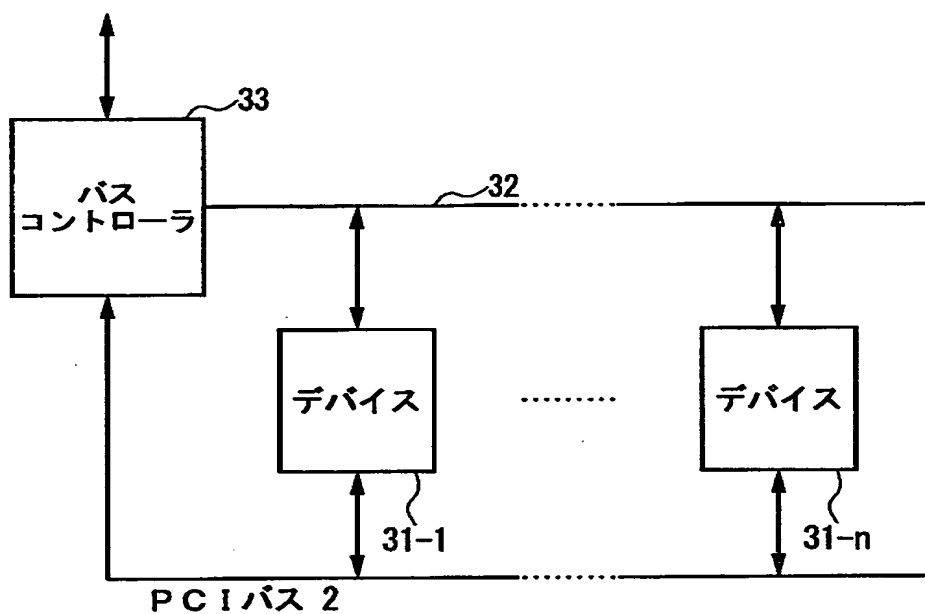
【図 2】

PCI デバイスによる第 1 の割込処理方法を説明するための図



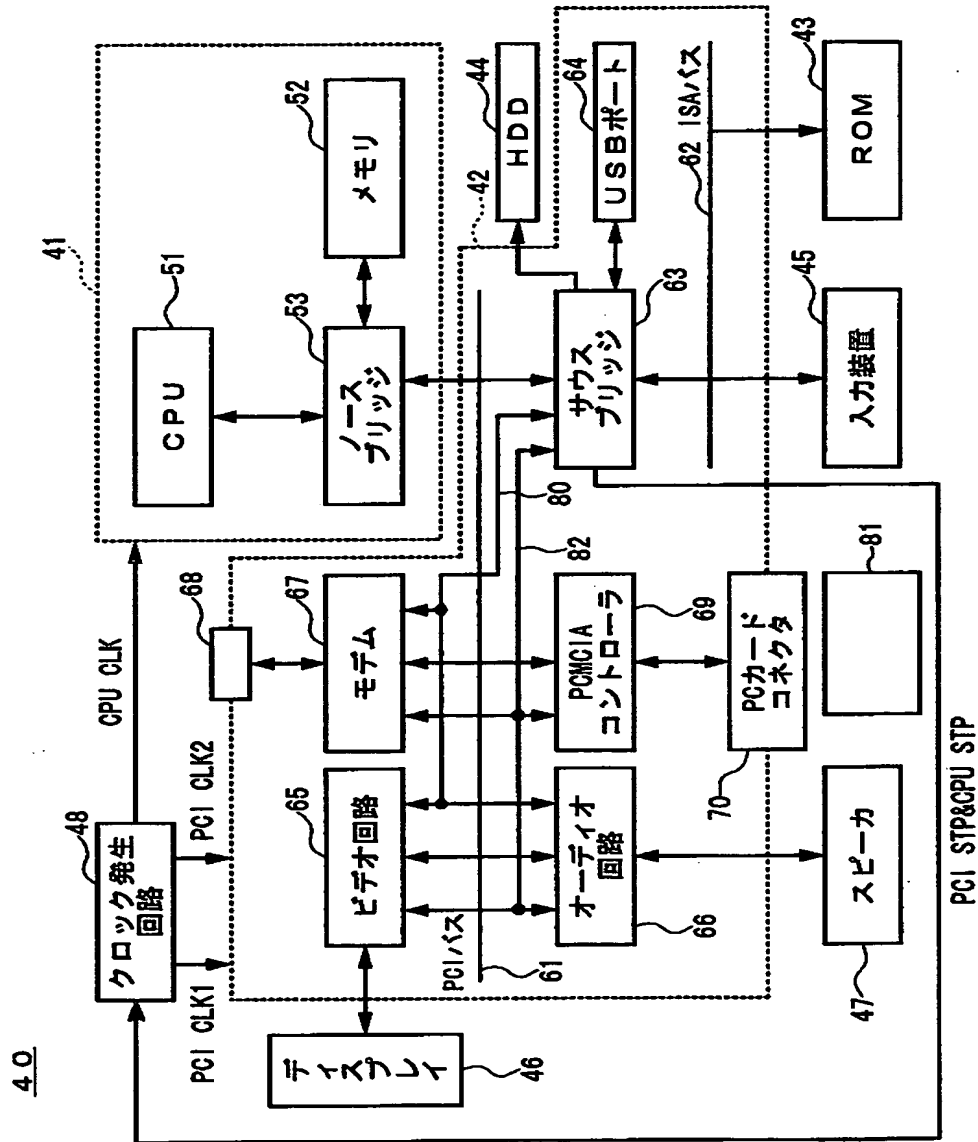
【図 3】

PCI デバイスによる第 2 の割込処理方法を説明するための図



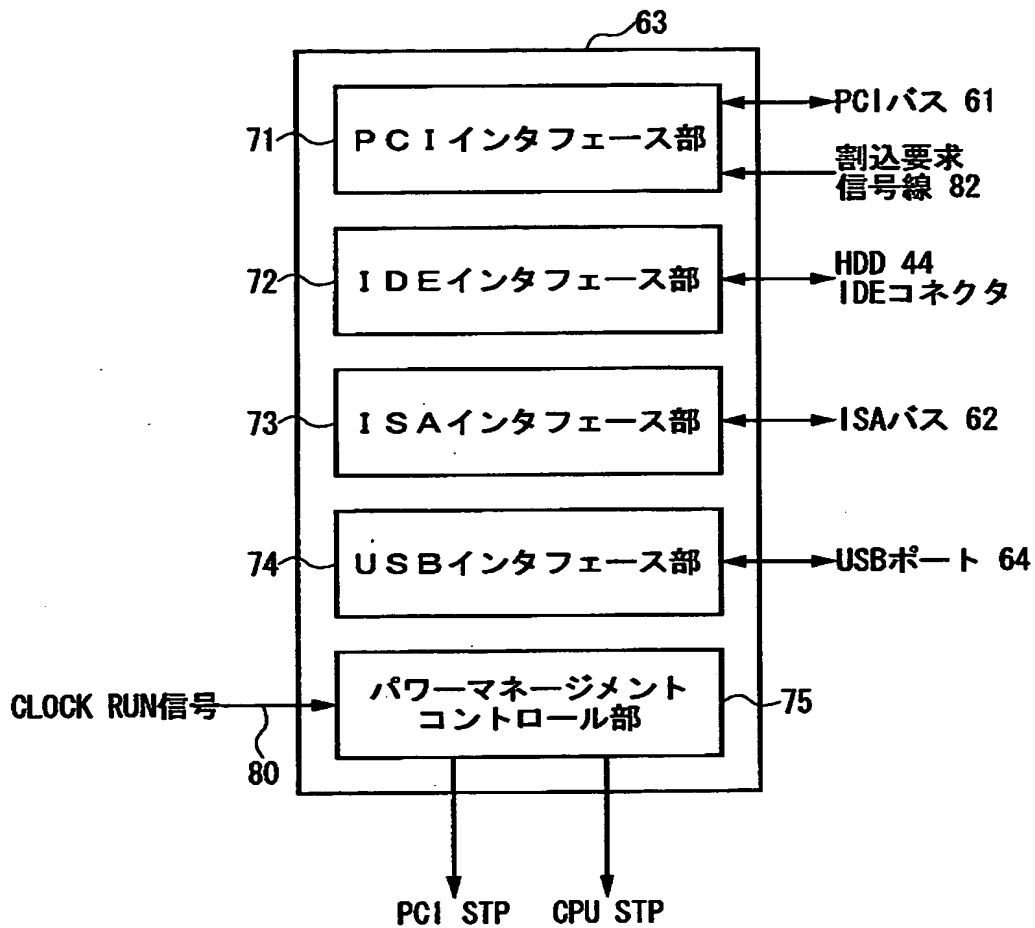
【図 4】

本発明の第 1 実施例のブロック構成図



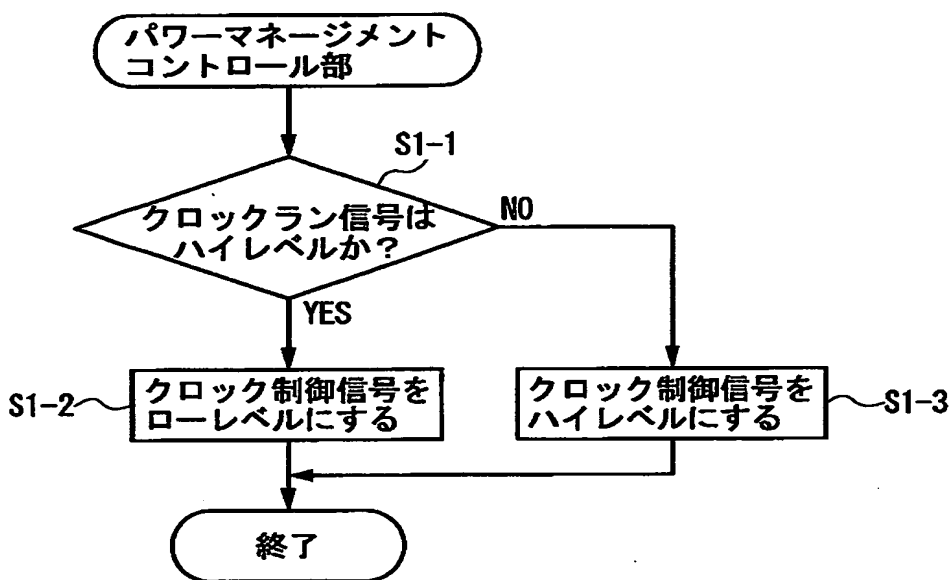
【図 5】

本発明の一実施例のサウスブリッジ回路の機能ブロック図



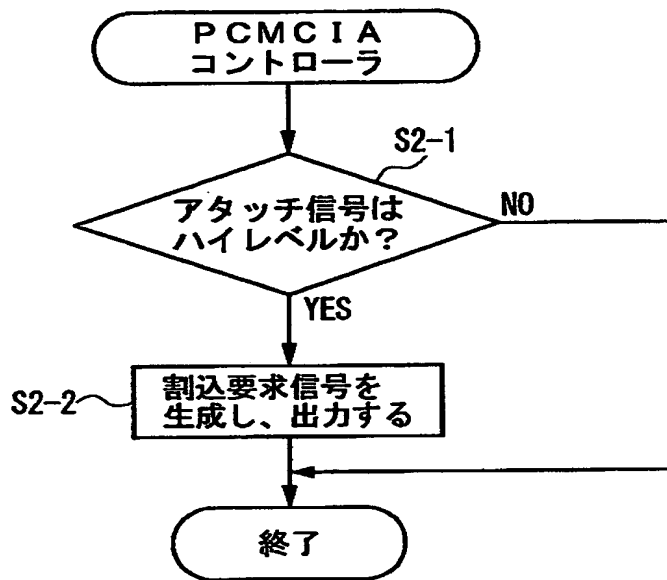
【図 6】

本発明の一実施例のパワーマネージメント
コントロール部の処理フローチャート



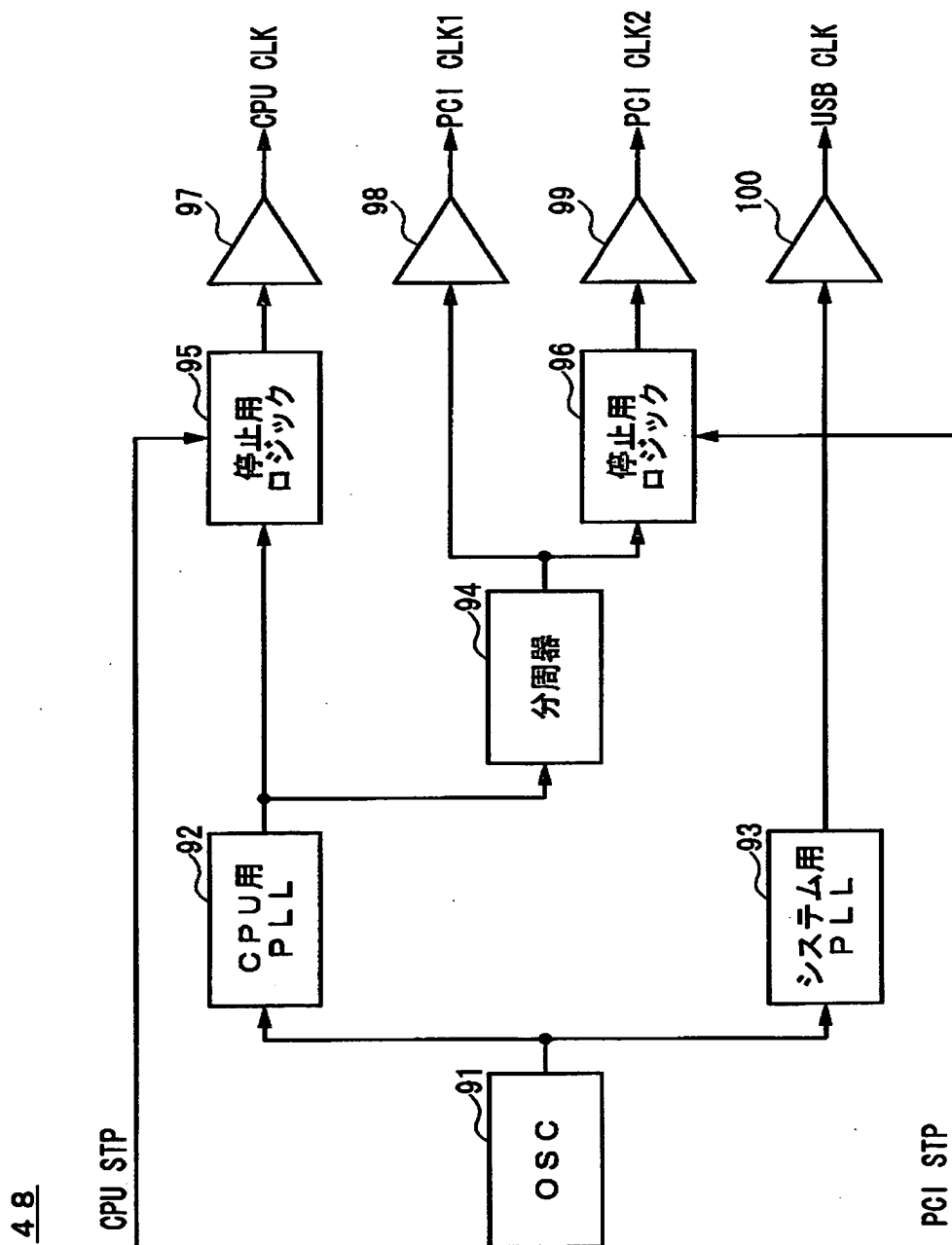
【図 7】

本発明の一実施例の P C M C I A コントローラの
処理フローチャート



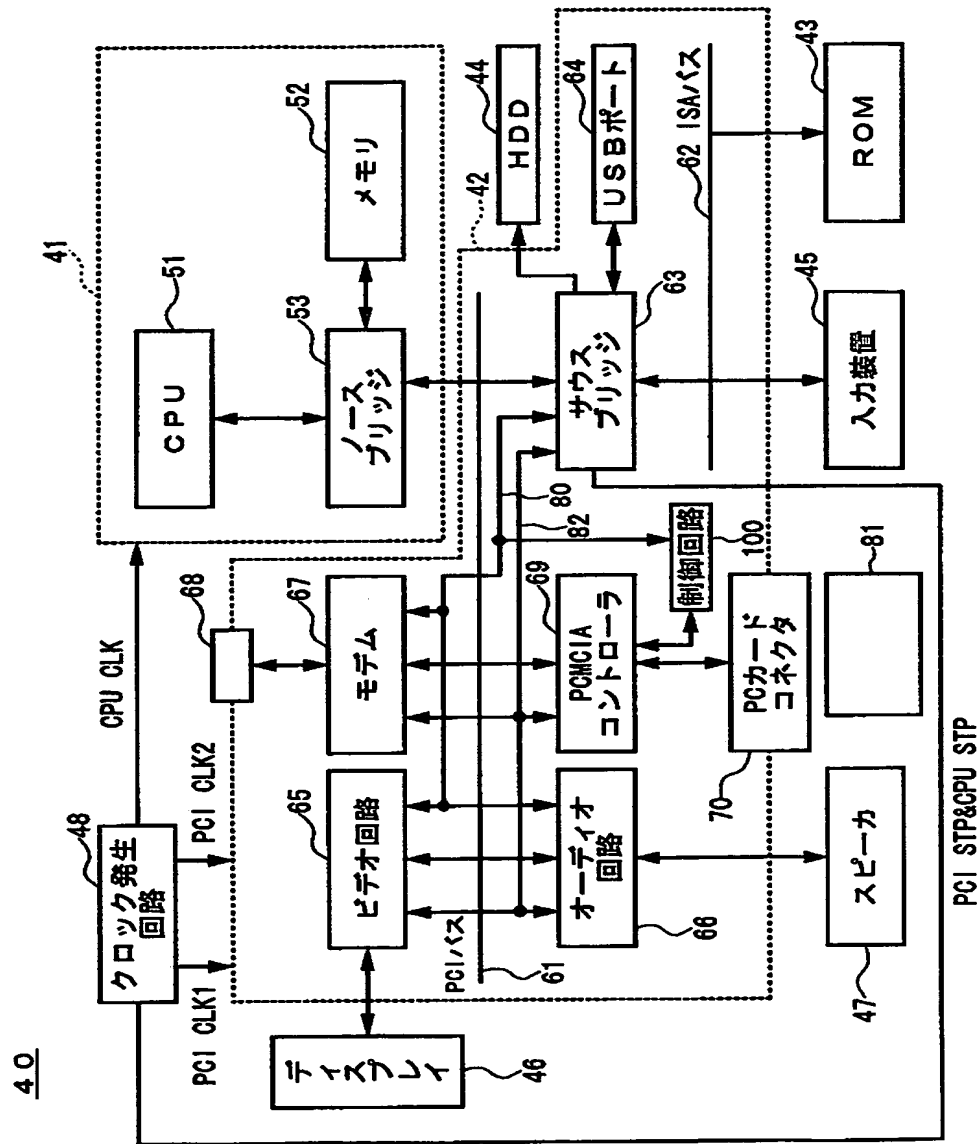
【図 8】

本発明の一実施例のクロック発生回路のブロック構成図



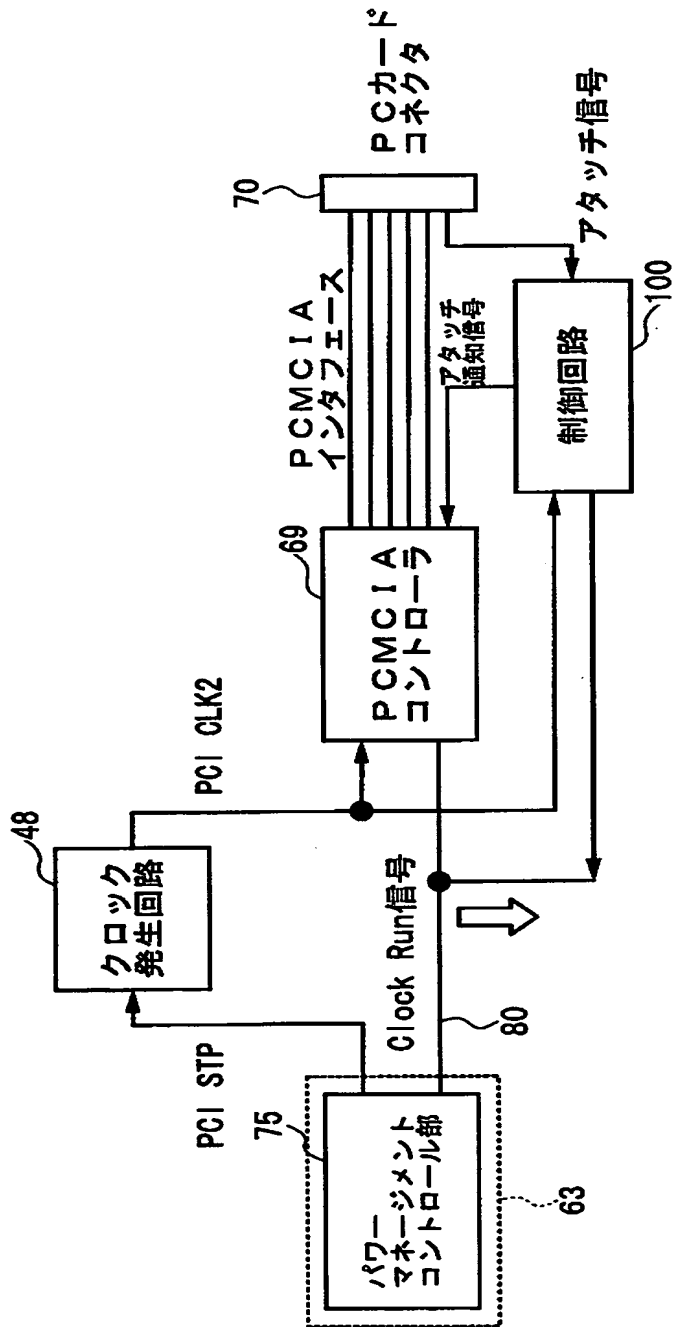
【図9】

本発明の第2実施例のブロック構成図



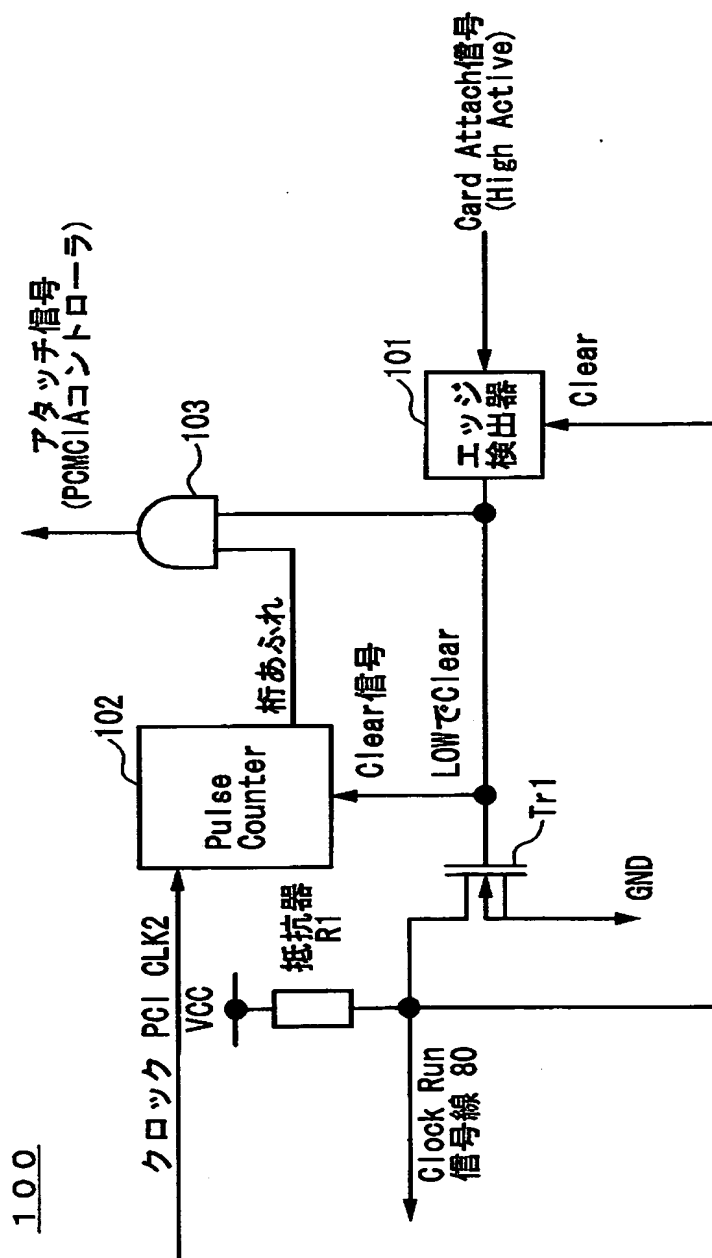
【図10】

本発明の第2実施例の要部のブロック構成図



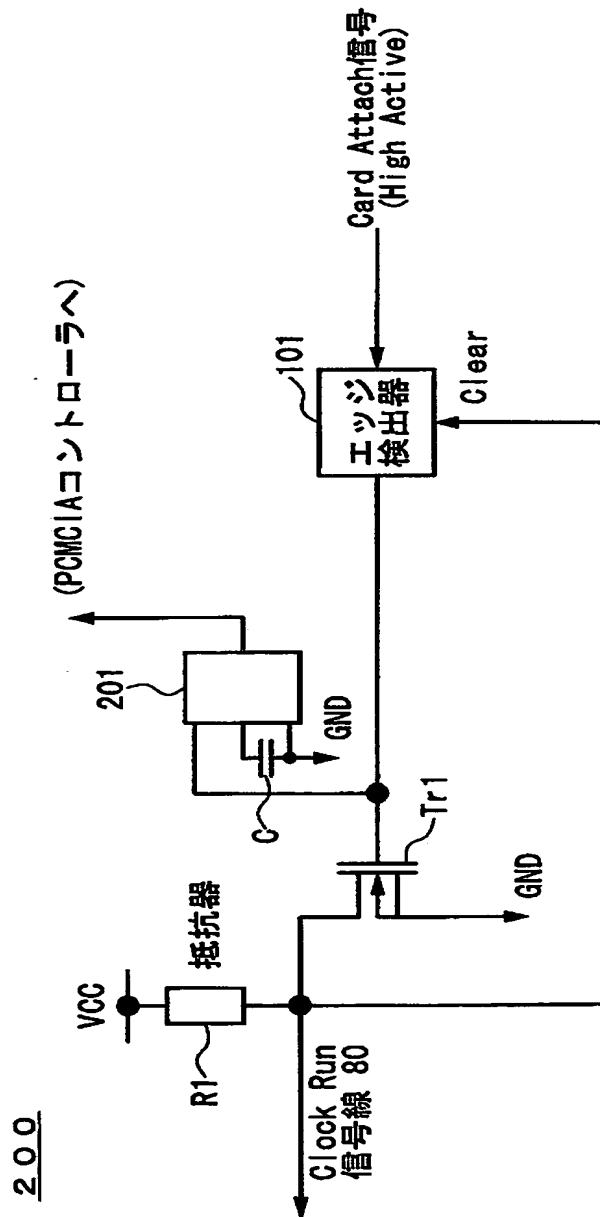
【図 1 1】

本発明の第2実施例の制御回路のブロック構成図



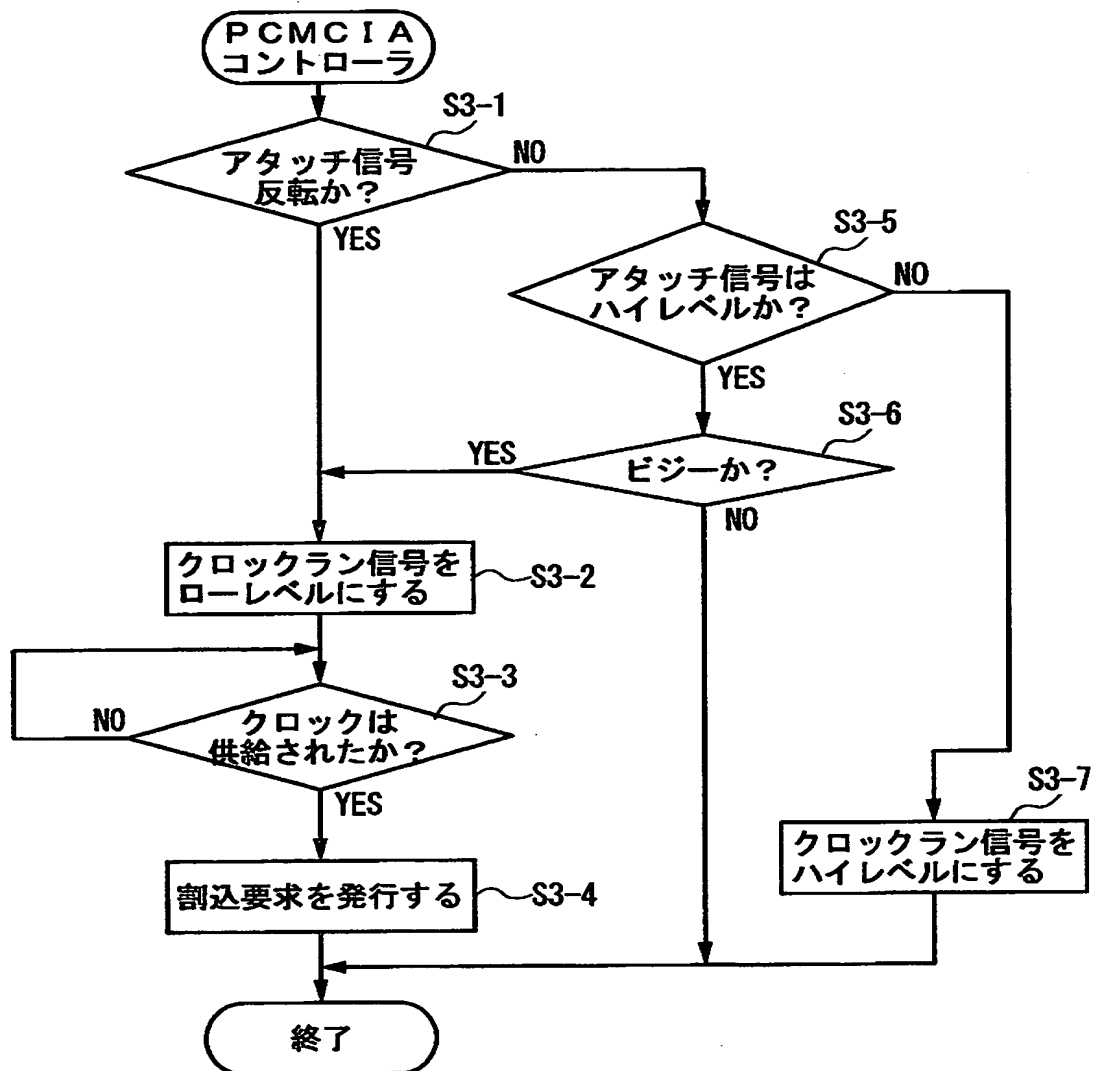
【図 1 2】

本発明の第 2 実施例の制御回路の変形例のブロック構成図



【図 13】

本発明の第3実施例のPCMCIAコントローラの
処理フローチャート



【書類名】 要約書

【要約】

【課題】 クロックにより駆動される電子機器及びクロック供給方法に関し、省電力機能を有効に活用できる電子機器及びクロック供給方法を提供することを目的とする。

【解決手段】 クロックにより割込要求を発生するとともに、動作する第1のデバイスには、制御されないクロックを供給し、クロックにより動作する第2のデバイスには、動作状態に応じて制御されるクロックを供給する。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社